Учреждения образования

«Белорусский государственный технологический университет»

**Лабораторная работа №8**

**Моделирование триггеров**

Выполнил:

Студент 2 курса 1 группы ФИТ

Шумова Елизавета Игоревна

2022 г.

**Цель работы:** изучение функционирования триггеров различных типов и экспериментальное определение таблиц состояния (истинности) триггеров.

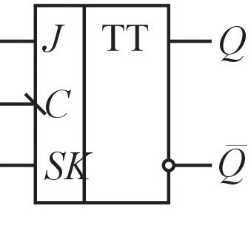
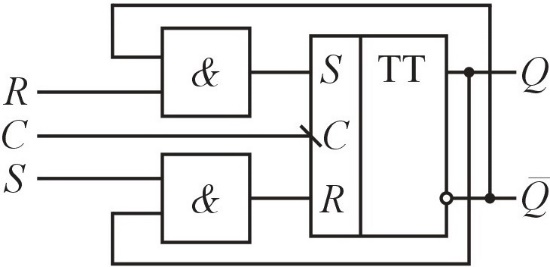
**Теоретическая часть**

*Триггер* — это устройство с двумя устойчивыми состояниями, од­но из которых — логический ноль, а другое — логическая единица. Эти состояния триггера при бесперебойном питании и при отсутствии существенных помех и наводок могут сохраняться сколь угодно дол­го. Под действием управляющих сигналов триггер способен переклю­чаться из одного состояния в другое. Основное назначение тригге­ра — хранение двоичной информации. Например, в персональных компьютерах на триггерах собрана кэш-память первого и второго уровня.

Триггер, в отличие от комбинационных схем, относится к новому виду цифровых устройств — *цифровым автоматам.* Цифровые авто­маты, кроме комбинационных схем, содержат элементы памяти. Если выходные сигналы цифрового автомата зависят как от входных сиг­налов, так и от состояния запоминающего устройства, то такие авто­маты называют автоматами Мили. Если выходные сигналы определя­ются только состояниями запоминающего устройства, то получим автомат Мура. Триггер в соответствии с этой классификацией относят к автоматам Мура.

Различают несколько разновидностей триггеров: *RS*-триггер, *D*-триггер, *JK*-триггер. Реже используются и ниже рассматриваться не будут *DV*-триггер и *T*-триггер. Если для изменения состояния триггера используется синхронизирующий сигнал, то триггер называется *син­хронным* (синхронизируемым). Если синхронизирующие сигналы не используются, то триггер называется *асинхронным.*

Большими функциональными возможностями обладает *JK-триггер.*



*а б*

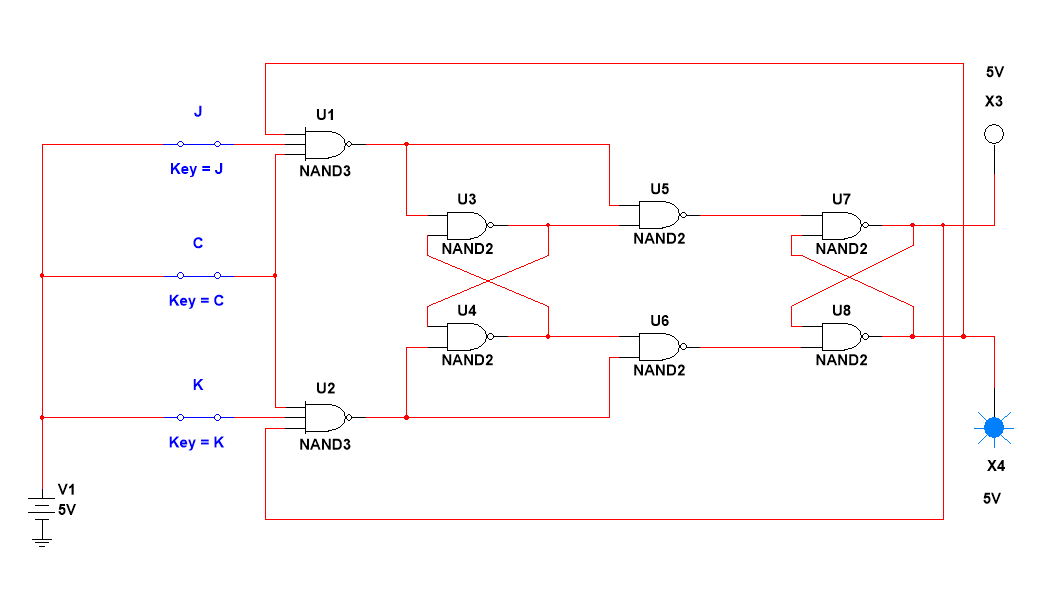
Рис. 8 Схема (*а*) и условное обозначение (*б*) *JK-*триггера

В схему включены два двухвходовых элемента И. Так как на их входы подаются выходные сигналы *RS*-триггера, то один из элементов И будет всегда закрыт для прохождения сигналов управления. По этой причине на входы *JK*-триггера можно одновременно подавать еди­ничные сигналы. Как известно, такая комбинация входных сигналов запрещена у *R*S-триггера.

Вход *J* триггера аналогичен входу *S RS-*триггера, а вход *К*— входу *R RS*-триггера. Если *J=К*=0, то получим режим хранения. Если *J=К*=1, то с приходом синхроимпульса триггер изменяет свое состояние на противоположное.

**Практическая часть**

**Схема JK-триггера**



Компоненты схемы:

* NAND2 – логическое И-НЕ
* DC\_POWER – источник питания постоянного тока
* DIPSW1 - ключ
* Probe – датчик